

G724

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-006001  
 (43)Date of publication of application : 09.01.2002

(51)Int.CI. G01R 31/28  
 G01R 31/3183  
 G11C 29/00

(21)Application number : 2001-112607 (71)Applicant : ADVANTEST CORP  
 (22)Date of filing : 11.04.2001 (72)Inventor : SUGAMORI SHIGERU

(30)Priority

Priority number : 2000 549734 Priority date : 14.04.2000 Priority country : US

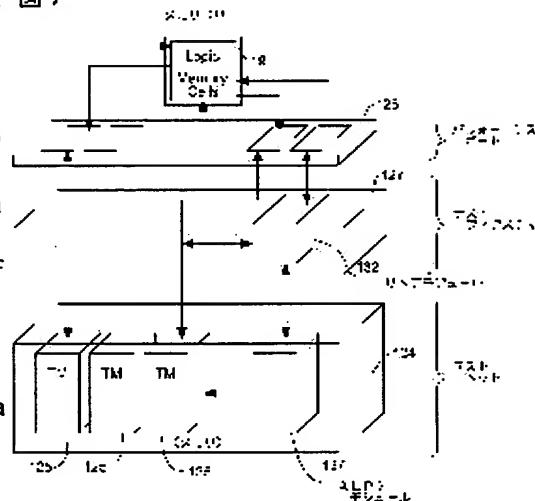
**(54) SEMICONDUCTOR TEST SYSTEM**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a low-cost semiconductor test system which is application-specific 図7 where various types of test devices are made into

modules which are coupled in a plurality of numbers while an algorithmic pattern generating(ALPG) module is mounted for generating an algorithmic pattern specific to the memory of a device which is to be tested.

**SOLUTION:** The semiconductor test system comprises a tester module providing various, at least two, kinds of performance, an ALPG module specific to the memory of a semiconductor device which is to be tested, a system main body in which the tester modules and the ALPG modules are coupled and mounted, a test fixture for electrically connecting the tester module to the device, a performance board, and a host computer for controlling operation of the entire system.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-6001

(P2002-6001A)  
(43)公開日 平成14年1月9日(2002.1.9)

(51)Int.Cl. <sup>7</sup> 識別記号  
G01R 31/28  
31/3183  
G11C 29/00 651

F I		テ-マコード	(参考)
G11C 29/00	651	Z 2G132	
G01R 31/28		H 5L106	
		B	
		Q	

審査請求 未請求 請求項の数14 O L (全13頁)

(21)出願番号 特願2001-112607(P 2001-112607)  
(22)出願日 平成13年4月11日(2001.4.11)  
(31)優先権主張番号 09/549734  
(32)優先日 平成12年4月14日(2000.4.14)  
(33)優先権主張国 米国(US)

(71)出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号

(72)発明者 菅森 茂  
アメリカ合衆国、カリフォルニア州、サン  
タクララ、スコット・プラバラード 3201

Fターム(参考) 2G132 AA08 AA15 AC03 AC11 AD07  
AE06 AE14 AE18 AE23 AF18  
AG02  
5L106 DD21

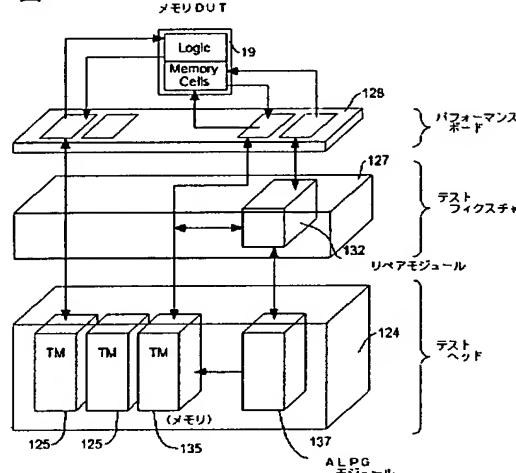
(54)【発明の名称】半導体テストシステム

(57) 【要約】

【課題】各種の異なるタイプの試験装置をモジュール化してそれらの複数個を組み合わせ、かつ被試験デバイスのメモリに固有のアルゴリズミックパターンを発生するためのアルゴリズミックパターン発生（ALPG）モジュールを搭載し、低コストでアプリケーションスペシフィックに構成した半導体テストシステムを提供する。

【解決手段】この半導体試験システムは、2以上の同一または異なる種類の性能を有するテスタモジュールと、被試験半導体デバイスのメモリに固有のALPGモジュールと、そのテスタモジュールとALPGモジュールを複数組み合わせて搭載するシステム本体と、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィクスチャと、パフォーマンスボードと、システム全体の動作を制御するホストコンピュータにより構成される。

四



## 【特許請求の範囲】

【請求項 1】 半導体テストシステムにおいて、同一または異なる種類の性能を有するテスタモジュールと、被試験デバイスのメモリに固有のアルゴリズミックパターンを発生するためのアルゴリズミックパターン発生 (ALPG) モジュールと、そのテスタモジュールとALPGモジュールを複数個任意に組み合わせて搭載するテストシステム本体と、そのテストシステム本体に設けられ、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィックスチャと、そのテスト・フィックスチャ上に設けられ被試験デバイスを搭載するためのパフォーマンスボードと、そのテストシステムに搭載された上記テスタモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータと、により構成される半導体テストシステム。

【請求項 2】 被試験デバイスがロジック機能とメモリ機能を有するときは、上記複数のテスタモジュールはロジック試験用テスタモジュールとメモリ試験用テスタモジュールを含み、被試験デバイスのロジック機能とメモリ機能の試験を同時に平行に行う請求項 1 に記載の半導体テストシステム。

【請求項 3】 上記テスト・フィックスチャ内に、被試験デバイスのメモリ機能に固有の機能モジュールを搭載した請求項 1 に記載の半導体テストシステム。

【請求項 4】 上記機能モジュールはメモリのリペア機能を実行するためのアルゴリズムを決定するモジュールである請求項 3 に記載の半導体テストシステム。

【請求項 5】 上記ALPGモジュールはフィールド・プログラマブル・ゲートアレイ (FPGA) により構成される請求項 1 に記載の半導体テストシステム。

【請求項 6】 上記ALPGモジュールは、上記メモリ試験用テスタモジュールにパイプライン構成によるデータ転送手段を用いて、アルゴリズミックパターン用のイベントデータを転送する請求項 2 に記載の半導体テストシステム。

【請求項 7】 上記テスタモジュールと被試験デバイスを電気的に接続するためのテスト・フィックスチャと上記テスタモジュールとの接続仕様が標準化された請求項 1 に記載の半導体テストシステム。

【請求項 8】 上記テスタモジュールは所定のテストピン数となるようにピン数の設定変更ができる請求項 1 に記載の半導体テストシステム。

【請求項 9】 上記テスタモジュールは所定のテストピン数となるようにピン数の設定変更ができ、その設定や変更はホストコンピュータからのアドレス設定によりされる請求項 1 に記載の半導体テストシステム。

【請求項 10】 上記テスタモジュールのそれぞれは複

数のイベントテスタボードを有し、その各イベントテスタボードは 1 のテストピン用に構成されている請求項 1 に記載の半導体テストシステム。

【請求項 11】 上記テスタモジュールはそれその内部にコントローラを有し、上記ホストコンピュータからの指令に基づき各モジュールからテストパターンの発生と被試験デバイスからの出力信号の検証を行う請求項 1 に記載の半導体テストシステム。

【請求項 12】 上記テスタモジュールは複数のイベントテスタボードからなり、それぞれそのイベントテスタボードはコントローラを有し、上記ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスピンにテストパターンを与えその被試験デバイスからの出力信号の検証を行う請求項 10 に記載の半導体テストシステム。

【請求項 13】 上記テスタモジュールのそれぞれは複数のイベントテスタボードを有し、その各イベントテスタボードは 1 のテストピン用に構成されており、かつその各イベントテスタボードは、

上記ホストコンピュータからの指令に基づき各テスタボードからテストパターンの発生と被試験デバイスからの出力信号の検証を行うコントローラと、各イベントのタイミングデータを格納するためのイベントメモリと、上記コントローラの制御のもとに、そのイベントメモリにアドレスデータを与えるアドレスシーケンサと、

そのイベントメモリからのタイミングデータに基づいてテストパターンを形成する手段と、

そのテストパターンを対応する被試験デバイスピンに与えその被試験デバイスからの応答出力信号を受けるドライバコンバーラと、により構成される請求項 1 に記載の半導体テストシステム。

【請求項 14】 半導体テストシステムにおいて、同一または異なる種類の性能を有するテスタモジュールと、被試験デバイスのメモリに固有のアルゴリズミックパターンを発生するためのアルゴリズミックパターン発生 (ALPG) モジュールと、

そのテスタモジュールとALPGモジュールを複数個任意に組み合わせて搭載するテストシステム本体と、そのテストシステム本体上に設けられ、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィックスチャと、

そのテスト・フィックスチャ内に設けられ、被試験デバイスのメモリ機能に付随する機能を果たすための機能モジュールと、

そのテスト・フィックスチャ上に設けられ被試験デバイスを搭載するためのパフォーマンスボードと、

そのテストシステムに搭載された上記テスタモジュール

とシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータと、により構成される半導体テストシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は超LSI等の半導体集積回路を試験するための半導体テストシステムに関し、特に特定のメモリデバイス試験に特化（アプリケーション・スペシフィック）して構成され、かつイベントテスターーキテクチャにより構成された低コスト半導体メモリテストシステムに関する。

【0002】本発明のイベントベースによるメモリテストシステムは、同一または異なる性能のテスタモジュールと、その被試験メモリに固有のアルゴリズミック・パターンを発生するアルゴリズミック発生用モジュールを任意に組み合わせることにより、特定メモリ試験用のテストシステムを安価に構成する。また、システム本体に組み込んだ各種テスタモジュールやアルゴリズミック発生用モジュールに加え、被試験メモリに固有の機能モジュールをテストフィックスチャ内に搭載することにより、メモリの試験とそれに伴う特殊な処理を実施することができるメモリテストシステムを構成する。

【0003】

【従来の技術】超LSI等の半導体集積回路（以後必要に応じて「被試験デバイス」ともいう）を試験するための半導体テストシステム（ICテスターと通称される）の典型的な構成例を第1図に示す。

【0004】第1図において、テストプロセッサ11はテストシステム内に設けられた専用プロセッサであり、試験システム全体の動作をテスタバスを経由して制御する。パターン発生器12はテストプロセッサからのパターンデータに基づき、タイミングデータと波形データを、それぞれタイミング発生器13、波形整形器14に与える。パターン発生器12からの波形データとタイミング発生器13からのタイミング信号により、試験パターン（テストパターン）が波形整形器14により形成される。試験パターンは、ドライバ15を経由して、被試験デバイス（DUT）19に印加される。

【0005】被試験デバイス19がメモリである場合は、その被試験デバイスに与えられる試験パターンは、一般にアドレスデータと書き込みデータ、および制御データである。被試験メモリデバイスの所定アドレスに所定データを書き込んだ後、そのアドレス位置のデータを読み出して、そのデータが意図した書き込みデータであるかが検証される。

【0006】より具体的には、被試験デバイス19からの読み出しデータは、アナログコンバーティ16により、所定のスレッショルドレベルで論理信号に変換され、ロジックコンバーティ17において、パターン発生器12で形成された期待値（書き込みデータ）と論理比

較される。比較結果はDUT19のアドレスに対応して、フェイルメモリ18に記憶され、後の不良解析に用いられる。ここで、書き込みや読み出しのために被試験メモリデバイスに与えるアドレスデータや書き込みデータは、各種の数学的アルゴリズムによるシーケンスで発生されるパターンとすることもある。そのようなパターン発生アルゴリズムは、被試験デバイスの物理的構造や試験目的等により選ばれる。

【0007】上記のような回路構成は、半導体テストシステムのテストピン毎に設けられる。したがって、大型の半導体テストシステムでは例えば256テストピンから2048テストピンのようにその数が大きいため、第1図の回路構成をそれと同数備えることにより、非常に大型の装置となる。第2図はそのような半導体テストシステムの外観イメージを示している。半導体テストシステムはメインフレーム22と、テストヘッド24と、ワークステーション26で構成されている。

【0008】ワークステーション26は例えばグラフィック・ユーザ・インターフェース（GUI）を備え、使用者とテストシステムのインターフェースをするためのコンピュータであり、テストシステムの操作やテストプログラムの作成や実行の指示を行う。メインフレーム22には、第1図におけるテストプロセッサ11、パターン発生器12、タイミング発生器13、波形整形器14およびロジックコンバーティ17等が各テストピン数に応じて搭載される。

【0009】テストヘッド24には第1図のピンエレクトロニクス20を搭載した回路基板が多数装備されている。ドライバ15、アナログコンバーティ16および、被試験デバイスのピンを切り替えるスイッチ（図示せず）等はピンエレクトロニクス20に設けられている。テストヘッド24は例えば円筒状に形成されて、その内部にピンエレクトロニクス回路基板が放射状に装備されている。そのテストヘッドの上面には、被試験デバイス19が、パフォーマンスボード28上の中央部において、例えば試験ソケットに挿入される。

【0010】ピンエレクトロニクス回路とパフォーマンスボード28間は、電気信号を伝達するための接触機構であるピン（テスト）フィックスチャ27が設けられている。ピンフィックスチャ27には多数の接続用コンタクタ、例えばポゴピン等が設けられ、ピンエレクトロニクス20とパフォーマンスボード28を電気的に接続する。被試験デバイス19は、ピンエレクトロニクスからの試験パターンを受けて、それに対する応答信号を送出する。

【0011】ところで従来の半導体テストシステムでは、被試験デバイスに印加するための試験パターンを形成するために、いわゆるサイクルベース形式で記述された試験データを用いている。サイクルベース形式では、50 テストパターンの各変数は、テスターの各試験サイクル

(テスター)との関係で定義されている。すなわち、試験データに含まれる、試験サイクル(テスター)記述、波形(波形種類、エッジタイミング)記述、およびベクタ記述を用いて、所定のサイクルにおけるテストパターンを形成している。

【0012】一方、被試験デバイスの設計時においては、コンピュータ支援による設計(CAD)手法が用いられ、その設計の検証にはテストベンチによる論理シミュレーションが行われ、その検証データが得られる。このテストベンチによるデータはいわゆるイベント形式で記述されている。イベント形式においては、注目するテストパターンが1から0あるいは0から1にスイッチするときのその変化点(イベント)を、時間の経過との関係で現している。時間の経過は、例えはある基準点からの連続した絶対的時間差として、あるいは直前のイベントからの相対的時間差として現されることが一般である。

【0013】このようなサイクルベースの試験データによる試験パターン形成と、イベントベースの試験データによる試験パターンの形成の比較については、本発明の発明者等による米国特許出願番号09/340,371に記載されている。さらに、本出願の発明者等は新たな形式の半導体試験装置としてイベント型テストシステムを提案している。このイベント型テストシステムの構成や動作については、米国特許出願番号09/406,300に詳述されている。

【0014】半導体テストシステムにおいては、上述のように多数の同一回路基板等がテストピン数と同数あるいはそれ以上装備され、大規模なシステムを構成している。従来の半導体テストシステムでは、これらの回路基板等は全て同一構成、同一性能で構成されている。

【0015】すなわち、高速高性能な試験システム、例えば500MHzのテスラートでタイミング精度80ピコセカンドの仕様による場合は、テストピンに対応する全ての回路基板がこの性能を満たすように同一に構成される。このため半導体テストシステム全体としてのコストが非常に高くなる。また全て同一の回路を各テストピンに実装するので、テストシステムは画一的な試験内容しか実施できない。

【0016】例えばメモリデバイスを試験する半導体テストシステムにおいて、被試験メモリデバイスに印加するアルゴリズミックパターンを発生するためのアルゴリズミックパターン発生器(ALPG)は、想定するあらゆるパターンを発生できるように構成されている。しかし、被試験メモリデバイスの種類により、最適なアルゴリズミックパターンは異なる。したがって、被試験メモリの種類が限られている場合には、実際には使用されないパターンの発生機能をALPGが有することとなり、結果としてテストコストの上昇となる。

【0017】また、従来のメモリ半導体テストシステム

では、そのようなアルゴリズミックパターン発生器(ALPG)は、被試験メモリデバイスに印加するテストパターンを直接的に発生するため、そのパターンの発生速度は、被試験デバイスの実際の動作速度(アットスピード)である必要がある。このため、アルゴリズミックパターン発生器(ALPG)自体が高速動作可能ないように構成される必要があり、必然的に高価となっている。

【0018】従来の半導体テストシステムにおいて、上記のように同一回路構成を多数搭載する理由、すなわち異なる回路構成を混在させて柔軟性のあるテストシステムを構成するようにしていらない理由の1つは、上述したサイクルベースにより試験パターンを形成するようにシステムが構成されているからである。サイクルベースにより試験パターンを形成する方式では、ソフトウェアやハードウェアが複雑になり、異なる回路構成を混在させることは実際上困難だからである。またこののような理由から、メモリデバイスの試験のためのアルゴリズミックパターン発生器(ALPG)を、高速動作可能でかつオールパーザスな機能を有するものとして構成する必要があった。

【0019】その理由を説明するために、ここでサイクルベースの試験データを用いて試験パターンを形成する場合と、イベントベースの試験データを用いて同一の試験パターンを形成する場合の比較を第3図の波形等を用いて簡単に示す。より詳細には本出願と同じ譲受人の有する上記の米国特許出願に記載されている。

【0020】第3図の例では、半導体デバイスの設計段階で得られた、論理シミュレーションの結果データを格納したダンプファイル37からのデータを利用して試験パターンを形成する場合を示している。そのダンプ出力データは、設計したLSIデバイスの入出力信号変化とその時間をイベントベースで現わしたデータであり、例えば波形31を表現するような場合、右下部の記述38のようになっている。

【0021】その記述に基づいて、波形31に示すようなテストパターンを形成することを想定する。この波形31では、ピン(テストピンあるいはテストチャネル)SaとSbから発生されるテストパターンの波形が描かれている。この波形を表現するための、イベントデータは、記述38に示すように、各イベントをセットエッジSa\_n, Sb\_nとそのタイミング(例えば基準点からの時間の経過)、およびリセットエッジRa\_n, Rb\_nとそのタイミングで記述されている。

【0022】従来の半導体テストシステムで使用するサイクルベース方式によりテストパターンを形成するためには、試験データを試験サイクル(テスラート)、波形(波形種類、エッジタイミング)、およびベクタの各記述に分けて構成する必要がある。その記述例を第3図中央部および左部に示す。サイクルベースのテストパターンの場合、左部の波形33のように、テストパターン

を各試験サイクル (TS1, TS2, TS3) に分けて、その試験サイクルの中で各波形とそのサイクル内の遅延時間を定義する。

【0023】そのための波形、タイミングおよび試験サイクルのデータ記述例が、タイミングデータ (テストプラン) 36に示されており、その波形の"1"または"0"あるいは"Z"等の論理がベクトルデータ (パターンデータ) 35に示されている。例えばタイミングデータ 36では、試験サイクルが"rate"としてその時間間隔が規定され、波形種類はRZ (リターンゼロ), NRZ (ノンリターンゼロ), XOR (排他論理) 等で規定される。さらに各波形のタイミングが、該当する試験サイクルのエッジからの遅延時間として規定される。

【0024】このように従来の半導体テストシステムでは、サイクルベースでテストパターンを形成するため、パターン発生器、タイミング発生器あるいは波形整形回路のハードウェア構成が複雑となっており、またそれらハードウェアで使用するソフトウェアも複雑となっている。また各ビン (上例のSaとSb) 間が共通のテストサイクルで扱われるため、各ビン間で異なるサイクルのテストパターンを同時に発生することは困難である。

【0025】したがって、従来の半導体テストシステムでは、全てのテストビンについて同一の回路構成を採用しており、異なる性能のボードを混在させることは困難であった。このため、ロジック機能ブロックについての試験とメモリ機能ブロックについての試験を同時に平行して行うことは困難であった。また例えば高速タイプの回路構成をとっても、低速タイプで必要とする性能 (例えば高電圧大振幅やドライバの禁止機能等) を備える必要があり、高速性能を直接的に実現するさまたげともなっていた。

【0026】一方イベントベースにより試験パターンを形成する場合には、メモリに蓄積したセット・リセットのデータとそのタイミングデータを読み出すのみでよく、そのハードウェアやソフトウェアの構成は極めて単純である。また各ビンがサイクルではなく、イベントの有無として独立に動作できるため、異なる機能や周波数レンジのテストパターンを同時に形成することができる。

【0027】上述のように、本発明の発明者等はイベント方式の半導体テストシステムを提案している。この方式ではハードウェアの構成もソフトウェアの内容も極めて単純となるため、異なる性能の試験回路が混在してもシステム全体として機能できる。またテストビン間が相互に独立して動作できるので、異なる機能や周波数レンジのテストを同時に平行して実施することができる。このように柔軟なテストシステム構成が可能なので、被試験デバイスのメモリブロックとロジックブロックを同時に試験することが可能となる。また被試験メモリデバイスの種類や試験目的に応じて、試験対象別なわち用途

別に特化した低コストのイベント型メモリテストシステムが構成できる。

#### 【0028】

【発明が解決しようとする課題】したがって、本発明の目的は、テストビンに応じて異なる性能の試験回路をモジュール形式で組み合わせて構成し、また特定用途用の機能モジュールをテスト・フィックスチャに搭載することにより、特定用途に特化した半導体テストシステムを提供することにある。

10 【0029】本発明の他の目的は、テストビンに応じてロジック試験用のテスタモジュールとメモリ試験用のテスタモジュールを任意に組み合わせて構成することにより、システムIC (システムオンチップ) のようにプロセッサコアとメモリコアのように異なる機能コアを有する被試験デバイスを、同時に平行に試験することを可能とした半導体テストシステムを提供することにある。

【0030】本発明の他の目的は、テストビンに応じて異なる性能の試験回路をモジュール形式で構成し、かつ特定用途用のアルゴリズミックパターン発生器をモジュール形式で構成して、これらのモジュールを組み合わせ、被試験メモリデバイスの種類や試験目的に応じて簡易かつ安価に構成できる半導体メモリテストシステムを提供することにある。

20 【0031】本発明のさらに他の目的は、テストビンに応じて異なる性能の試験回路をモジュール形式で構成し、かつ特定用途用のアルゴリズミックパターン発生器をモジュール形式で構成して、これらのモジュールを組み合わせ、さらに被試験メモリデバイスに固有の関係を有する機能モジュールをテスト・フィックスチャに搭載することにより、被試験メモリデバイスの種類や試験目的に応じて簡易かつ安価に構成できる半導体メモリテストシステムを提供することにある。

30 【0032】本発明のさらに他の目的は、テストビンに応じて異なる性能の試験回路をモジュール形式で構成し、かつ特定用途用のアルゴリズミックパターン発生機能をフィールド・プログラマブル・ゲートアレイ (FPGA) によりモジュール形式で構成して、これらのモジュールを組み合わせることにより、被試験メモリデバイスの種類や試験目的に応じて簡易かつ安価に構成できる半導体メモリテストシステムを提供することにある。

【0033】本発明の他の目的は、異なるビン数や性能のモジュールを自由に組み合わせてテスタ本体に組み込めるように、テスタ本体とモジュールとの接続部分の仕様を標準化した半導体メモリテストシステムを提供することにある。

40 【0034】本発明のさらに他の目的は、複数の異なる性能のテスタモジュールを組み合わせることにより、被試験デバイスで必要とする試験を全体として低コストで実現できるとともに、将来の機能の向上を実現できる半導体テストシステムを提供することにある。

## 【0035】

【課題を解決するための手段】本発明の半導体メモリテストシステムは、同一または異なる種類の性能を有するテスタモジュールと、被試験メモリに固有のアルゴリズミックパターンを発生するためのアルゴリズミックパターン発生（ALPG）モジュールと、そのテスタモジュールとALPGモジュールを2個以上組み合わせて搭載するテストシステム本体と、そのテストシステム本体上に設けられ、テスタモジュールと被試験デバイスを電気的に接続するテスト・フィクスチャと、そのテスト・フィクスチャに設けられ被試験メモリデバイスの試験に付随した被試験メモリに固有の機能を実施するための機能モジュールと、そのテストシステムに搭載された上記テスタモジュールおよびALPGモジュールとシステムバスを介して通信することにより、システム全体の動作を制御するホストコンピュータとにより構成される。

【0036】本発明の半導体メモリテストシステムにおいては、被試験メモリデバイスの種類や試験目的に応じて必要なアルゴリズミックパターンのみを発生できるように構成したアルゴリズミックパターン発生モジュールを被試験メモリに応じてテストシステムに組み込むように構成されている。これによりテスタモジュールとALPGモジュールの各種の組み合わせが可能となり、被試験メモリデバイスに固有の試験システムを低成本で構成できる。

【0037】さらに本発明の半導体メモリテストシステムにおいては、テスタモジュールと被試験デバイス間の電気的接続を行うためのテスト・フィクスチャ内に各種の機能モジュールを用途別に設け、試験対象に応じてテスト・フィクスチャを交換する。テスタモジュールは複数のイベントテスタボードからなり、それぞれそのイベントテスタボードは、ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスにテストパターンを与える被試験デバイスからの出力信号の検証を行う。

【0038】本発明のイベント型メモリテストシステムでは、特定用途に用いる機能モジュールをテスト・フィクスチャ（ピン・フィクスチャ）に搭載することにより、被試験メモリに固有であってその試験に付随する機能、例えばそのメモリの不良箇所の修理（リペア）等を実行することができる。このため、特定用途に専用として用意されたテスト・フィクスチャを被試験デバイスに応じて取り替えることにより、簡易で低成本な半導体メモリテストシステムを実現できる。

【0039】本発明の半導体テストシステムは、テストピン間で相互に独立した動作が可能であり、所定テストピンのグループと他のグループ間で異なる被試験デバイスや被試験ブロックを同時に担当することができる。したがって、システムICのような複数の異なる機能ブロック（コア）、例えばロジックコアとメモリコアを有す

る場合であっても、これらの機能コアの試験を同時に平行して実施できる。

【0040】本発明の半導体テストシステムでは、完全なモジュール化が達成できるので、被試験デバイスの種類や試験目的等に応じた柔軟な構成とすることができる。また必要とするハードウェア量を大幅に減少でき、かつ各モジュールを制御するためのソフトウェアを大幅に単純化できる。このために、全体としての物理的装置を小型化でき、したがってコストの低下や設置スペースの減少、それに伴う各種費用の減少が実現できる。

## 【0041】

【発明の実施の形態】本発明の実施例を第4図—第10図を参照して説明する。第4図のブロック図は、本発明の半導体テストシステムによりロジック部とメモリ部を有する半導体デバイスを試験する場合の概略構成例を示している。またこの例では、被試験デバイスのメモリ部は、冗長構成を有し、不良メモリセルを冗長メモリセルと置き換えることにより、全体としてのメモリ部を修復（リペア）することができる機能を有する場合を想定している。

【0042】この発明の半導体テストシステムでは、テストヘッド（システム本体）にモジュール化したテスタ（以後「テスタモジュール」という）を複数個自由に搭載できるように構成している。テスタモジュールは例えば同一のモジュールが必要なピン数に応じて複数搭載することも、異なる性能、例えば高速テスタモジュールHSTMと低速テスタモジュールLSTMを必要に応じて組み合わせることも可能である。メモリ試験を含む場合には、第7及び8図に示すように、メモリ試験用に構成したテスタモジュール135を併せて組み込むことが好ましい。

【0043】後で第6図に関して説明するが、この各テスタモジュールには複数、例えば8枚の、イベントテスタボードが搭載されている。また各イベントテスタボードには複数のテスタピン、例えば32ピンに相当するイベントテスタが例えば32個搭載されている。したがって第4図の例では、イベントテスタボード43により被試験デバイスのメモリブロックを担当し、他のテスタボードで被試験デバイスのロジックブロックを担当している。

【0044】第4図の試験システムの概略を説明する。この例では、複数のイベントテスタボード43が、ホストコンピュータであるテスタコントローラ41によりシステムバス64を通して制御される。上述のようにイベントテスタボードは、例えば8枚が1個のテスタモジュールに格納されている。また第4図では示されていないが、通常そのようなテスタモジュールを2個以上用いて試験システムを構成する。

【0045】この構成において、イベントテスタボード

43は被試験デバイス19にテストパターン（試験信号）を与え、その結果としての被試験デバイスの応答信号を評価する。被試験デバイスのメモリ部の試験結果に基づいて、メモリ部に有する冗長部のメモリセルを不良メモリセルと置き換えるためのリペア機能を実施するために、この例では、リペアモジュール48が必要に応じて用いられる。後で説明するように、リペアモジュール48のような機能モジュールは、テスト・フィックスチャ（ピン・フィックスチャ）内に搭載される。

【0046】各イベントテスタボード43は、例えば32チャンネルのイベントテスタ66、-66:1とインターフェース53、プロセッサ67およびメモリ68により構成されている。各イベントテスタは各テスタピンに対応して設けられ、その内部構成は同一ボード内ではそれ同一である。この例では各イベントテスタ66は、イベントメモリ60、イベント実行ユニット47、ドライバコンパレータ61およびフェイルメモリ57により構成されている。

【0047】イベントメモリ60にはテストパターンを形成するためのイベントデータが格納されており、このイベントデータを用いてイベント実行ユニット47によりテストパターンが形成される。テストパターンはドライバコンパレータ61を経由して被試験デバイスに与えられる。被試験デバイスのメモリ部に与えるテストパターンをアルゴリズミックなシーケンスで与える場合には、アルゴリズミックパターン発生(ALPG)モジュール（第7及び8図）がシステム内に搭載され、そのALPGモジュールから、アルゴリズミックパターン用のイベントデータが、イベントメモリに与えられる。

【0048】第5図は、各イベントテスタボード43内のイベントテスタ66の構成例をより詳細に示すプロック図である。このイベント方式による半導体試験装置の詳細については、上記の米国特許出願のほか、同一譲受人による米国特許出願番号09/259401にも詳述されている。第5図において第4図と共通部分は同一符号で示している。

【0049】インターフェース53とプロセッサ67は、システムバス64を経由してテスタコントローラ（ホストコンピュータ）41に接続される。インターフェース53は、例えば被試験デバイスのピンに対応するイベントテスタの割り当てを行うために、イベントテスタボード内のレジスタ（図示せず）にテスタコントローラ41からのデータを書き込む際に用いる。例えばホストコンピュータからグループ指定アドレスがシステムバス64に出力された場合に、そのアドレスを解読して自己のテスタ内のレジスタへデータの書き込みを可能にする。

【0050】プロセッサ67は例えば各イベントテスタボード毎に設けられ、ボード内部の動作、例えばイベント（テストパターン）の発生、デバイスピンの出力信号の検証、フェイルデータの収集等を制御する。プロセッ

サ67は各ボードごとに設けても良いし、複数のボード単位で備えても良い。またプロセッサ67はボードに備える必要は必ずしもなく、テスタコントローラ41から各イベントテスタボードを直接に制御してもよい。

【0051】アドレス制御部58は、例えば単純な形態としてはプログラムカウンタであり、この図の場合、フェイルメモリ57やイベントメモリ60のアドレスを制御している。イベント・タイミングデータは、テストプログラムとして、ホストコンピュータからイベントメモリ60に転送される。

【0052】上記のように、イベントメモリ60は、各イベント（1から0、0から1の変化点）を形成するためのイベントデータを格納する。このイベントデータは、例えば各イベントのタイミングを現すイベントタイミングデータとそのイベントのタイプを現すイベントタイプデータとにより構成される。例えばイベントタイミングデータは、基本クロック周期の整数倍のデータと、タイミングデータ中の基本クロック周期の端数データとに分けて格納している。好ましくはこのようなタイミングデータは、圧縮されてイベントメモリ60に格納される。

【0053】第4図のイベント実行ユニット47は第5図の例では、デコンプレッション・ユニット62、タイミングカウント・スケーリング63、およびイベント発生器69により構成されている。デコンプレッション・ユニット62は、イベントメモリ60からの圧縮されたタイミングデータを伸張（復元）させる。タイミングカウント・スケーリング63は、イベントタイミングデータを加算あるいは倍率変更して、各イベントのタイミングを所定の基準時間からのタイミング（遅延時間）としてあらわす。

【0054】イベント発生器69は、加算やスケーリングの結果としての最終タイミングデータにより、テストパターンを発生し、ドライバコンパレータ61を経由して、被試験デバイス19に与える。被試験デバイスの応答を検証することにより、被試験デバイス19の所定ピンの試験が実行される。ドライバコンパレータ61は、第4図のように、主として対応するデバイスピンに与える試験パターンを駆動するドライバと、デバイスピンからの応答出力信号を受けてその電圧値を判定し、期待値と比較するためのコンパレータで構成される。

【0055】上記のイベント型テストシステムは、被試験デバイスへの入力信号およびその出力比較用のストローブが、イベント形式で取り扱われている。上述のようにイベント形式では、入力信号や出力比較信号の変化情報はアクション情報（セット・リセット）と時間情報（基準点からの時間）により構成されている。

【0056】従来技術による試験システムでは、イベント形式で必要とするメモリ容量を低減するためにサイクルベースを採用していた。サイクルベースでは、上記時

間情報をサイクル情報（同期信号）と遅延時間情報として、上記アクション情報を波形モードとパターンデータとして構成している。この場合、遅延時間はそのデータ数に制限があり、またパターンデータを柔軟に発生させるためにはループやサブルーチンのような機能を多用する必要があった。したがって、全体として複雑な構成と動作が必要であった。

【0057】本発明のイベントテスタでは、従来のサイクルベースの試験システムのような複雑な構成や動作を要しないので、テストピンの増加や異なる性能のテストピンの混在が容易に実現できる。一方、イベントテスタは大きなメモリ容量を必要とするが、メモリが急速に高密度化低価格化する現在、メモリ容量の増大はさほど問題ではない。

【0058】上述のように、イベントテスタは個々のテストピン毎に、あるいは所定数のテストピンのグループ毎に独立した試験動作ができる。このためロジックコアやメモリコアのような異なる機能ブロック（コア）を有するシステムICのような被試験デバイスの試験のように、異なる種類の試験を必要とする場合であっても、それらの試験を同時に平行して実行することができる。これら複数の異なる試験の開始や終了タイミングについても独立して設定することができる。

【0059】第6図は、本発明によるテスタモジュールをテストヘッドに組み込むことにより異なる性能にグループ分けされたテストピンを有する半導体試験システムを構成するための概念図である。

【0060】テストヘッド124には複数のテスタモジュールが、例えばそのテストヘッドに結合されるテスト・フィクスチャ127のピン数や被試験デバイスの種類やピン数に応じて組み合わされる。後述のように、テスト・フィクスチャ127とテスタモジュールのインターフェースはその仕様を標準化しておき、テスタモジュールをテストヘッド内のどの位置に組み込むことも可能とする。

【0061】テスト・フィクスチャ127は、例えばポゴピンのような伸縮可能なコネクタを多数搭載し、テスタモジュールとパフォーマンスボード128を電気的かつ機械的に結合する。第6図では示していないが、第7図や第8図に示すように、本発明においては、用途別機能モジュール（例えばメモリ修復のためのリペアモジュール132）をテスト・フィクスチャ127に搭載する。したがって、本発明におけるテスト・フィクスチャ127は、被試験デバイスの種類等のような特定用途に固定されたものとなる。

【0062】テスト・フィクスチャ127上に、パフォーマンスボード128が設けられる。被試験デバイス19は、パフォーマンスボード128上の例えはテストソケットに挿入されて、半導体試験システムとの電気的接続がされる。第4図に示した、メモリデバイス修復用の

機能を実行するリペアモジュール48（第7及び8図のリペアモジュール132）は、上述のようにテスト・フィクスチャ127に搭載される。リペアモジュール48は、例えばパフォーマンスボード128上に、被試験メモリデバイスの仕様に応じて設けてよい。

【0063】リペアモジュール48には被試験メモリの冗長部の構造についてのデータが与えられている。リペアモジュール48は、被試験メモリの試験により不良メモリセルが発見された場合、その不良メモリセルと冗長部のメモリセルとの置き換えにより被試験メモリを修復するための方法を決定する。一般にこのような修復（リペア）方法は、被試験メモリ内の回路パターンを、冗長部の構造および修復ルールにしたがって切断することにより達成される。例えば、その被試験メモリのリペア方法が、電気信号による回路パターンの切断により実行できる場合には、このリペアモジュール48は切断信号を発生するためのドライバとしての機能も備えることが好ましい。

【0064】各テスタモジュール125は所定のテストピン数のグループとされる。例えば1個の高速テスタモジュールHSTMには128ピン（チャンネル）分のボードが搭載され、1個の低速テスタモジュールLSTMには256（チャンネル）ピン分のボードが搭載される。これらの数値は単なる例であり、より小さなピン数あるいは大きなピン数のグループでもよい。メモリデバイスの試験においては、第7及び8図のように、メモリ試験用に構成されたテスタモジュール135を併せて組み込むことが好ましい。

【0065】テスタモジュール内の各ボードは、上述したようなイベントテスタとして構成され、被試験デバイス19の対応するピンにテストパターンを、パフォーマンスボード128を経由して与える。またテストパターンに対する被試験デバイス19の応答出力がパフォーマンスボード128を経由して対応するテスタモジュール内のボードに与えられ、例えば期待値と比較されてその正否が判定される。

【0066】各テスタモジュールにはインターフェース（接続部）126が設けられている。このインターフェース126は、テスト・フィクスチャ127の標準仕様に合致するように構成される。例えば対象とするテストヘッドに用いられるテスト・フィクスチャ127の接続ピンの構造、インピーダンス、ピン間距離（ピンピッチ）あるいは相対位置等が標準仕様化される。この標準仕様にマッチするインターフェース126をテスタモジュールに備えることにより、テスタモジュールの自由な組み合わせにより試験システムを構成できる。

【0067】このような本発明の構成により、被試験デバイスに合った最適のコストパフォーマンスの試験システムを構成できる。また試験システムの性能を向上させる場合でも、1部のテスタモジュールを交換することに

より達成できる場合が多いので、全体として試験設備の長寿命化が実現できる。さらに複数の異なる性能のモジュールの混在が可能なため、必要な性能を該当するモジュールにより直接的に実現することができるので、試験システムの性能向上が容易になる。

【0068】第7図および第8図は、メモリデバイスの試験用に構成した本発明の半導体テストシステムの例を示すブロック図である。第7図と第8図ともに、被試験デバイスのロジック部とメモリ部を同時に試験できるようにしたテストシステムの構成を示している。またこれらの図において、テスト・フィックスチャ127内にリペアモジュール132を有しているが、このような機能モジュールは被試験デバイスに固有な機能に基づいて用いられる。したがって、被試験メモリにリペア機能を有しない場合には、リペアモジュール132を有しないテスト・フィックスチャが用いられる。ここでは簡略のために、第6図におけるインタフェース126は示していない。またテスタモジュール125は単にTMとして現しているが、その各性能等は目的に応じてそれぞれ同一でも異なっていてもよい。

【0069】第7図における半導体テストシステムの例では、テストシステムにテスタモジュール125とテスタモジュール135およびアルゴリズミックパターン発生(ALPG)モジュール137が搭載されている。これらのモジュールは、上述したような標準仕様に合致したインタフェース126を通して、システム本体の任意のスロットに組み込まれる。被試験デバイスのメモリ部がリペア機能を有する場合には、リペアモジュール132を搭載したテスト・フィックスチャ127を用いることにより、被試験デバイスの試験とそのメモリ部の修復の全行程をこのテストシステムにより実施する。

【0070】この構成においてテスタモジュール125はロジック試験用、テスタモジュール135はメモリ試験用のモジュールとなっている。これらテスタモジュールは必ずしもロジック試験用あるいはメモリ試験用に異なるものとする必要はないが、一般的にはロジック試験とメモリ試験との要件は異なるので、それに適合するよう別個のモジュールにするほうが、コスト・パフォーマンスがよい。

【0071】テスタモジュール125から発生されたテストパターンは、テスト・フィックスチャ127、パフォーマンスボード128を経由して、被試験デバイスのロジック部に印加される。テストパターンに応答して出力されたロジック部の信号は、テスタモジュール125において期待値と比較されてその良否が検証される。テスタモジュール135から発生されたメモリ試験用のテストパターンは、テスト・フィックスチャ127、パフォーマンスボード128を経由して、被試験デバイスのメモリ部に印加される。メモリ部に書き込まれたデータを読み出して、テスタモジュール135において期待値と比

較することによりその良否が検証される。

【0072】被試験デバイスのメモリ部の試験において、テストパターンとして固有の数学的シーケンスを有するパターン（アルゴリズミックパターン）を用いる場合には、ALPGモジュール137からアルゴリズミックパターンを発生するためのイベントデータをテスタモジュール135に供給する。ALPGモジュール137は、対象とするメモリデバイスに必要なアルゴリズミックパターンのみを発生するように構成することにより、より単純で低コストで実現されている。これによりテスタモジュール135から、被試験メモリに適合したアルゴリズミックパターンがイベントデータ列として発生される。

【0073】ここでALPGモジュール137から、アルゴリズミックパターンを発生するためのイベントデータを、テスタモジュール135に供給する構成をより具体的に説明する。第9図のブロック図はその構成例を示している。ALPGモジュール137にはイベントデータに展開されたアルゴリズミックパターンが格納されている。このデータ格納装置としては例えば数ギガバイトから数十ギガバイト（将来においては数百ギガバイト）の大容量ハードディスクを使用できる。その場合、ハードディスク・サブユニット158には、テスタモジュール135のピン数に対応したハードディスクをそれぞれ設けるようにしてもよいし、それより少ない数でもよい。アルゴリズミックパターンの容量は大であるが、ハードディスクの容量も急速に増大しつつ小型となっているので、将来のデータ量の増加にも、この構成で対応できる。

【0074】ハードディスクからのイベントデータは、イベントバッファ156を通してテスタモジュール135のイベント発生器154（第4図におけるイベントメモリ60とイベント実行ユニット47に相当）に供給される。イベント発生器154により発生されたテストパターンは、ドライバ152を介して被試験デバイスに与えられる。

【0075】ここで、好ましくは上記のハードディスク・サブユニット158は、着脱可能に構成する。これにより、ハードディスクへのアルゴリズミックパターンの書き込みをオフラインで行え、その間別のサブユニットを使用することによりシステムの使用効率を上げることができるので、特に半導体デバイスの生産用のテストシステムに適する。研究開発用として必要な場合には、このようなハードディスクによる構成ではなく、リアルタイムでアルゴリズミックイベントを生成するALPGモジュール137として構成してもよい。

【0076】このようにイベントベースのテスタモジュールを用いることにより、全ての信号をイベント・タイミングデータとして扱うことができるので、上述のようなハードディスクの使用によるアルゴリズミックパター

ンのイベントデータとしての処理を行うシステムを構成できる。

【0077】第7図に戻り、被試験メモリの試験結果データは、リペアモジュール132にも与えられている。リペアモジュール132は、あらかじめ被試験メモリの物理的構造や冗長部の使用ルール等についての情報が与えられている。したがって、リペアモジュール132は、試験結果データに基づいて、不良メモリセルを冗長部の有効メモリセルと置き換えるためのリペア・アルゴリズムを決定する。上述のように、一般にこのようなメモリセルの置き換えは、被試験デバイス内部の回路パターンをレーザや電気信号により切断することにより行われる。電気信号による切断の場合には、リペアモジュール132に電流ドライバを有することにより、このテストシステムのみで、被試験デバイスの試験と修復を実施できる。

【0078】第8図における半導体テストシステムの例は、第7図の半導体テストシステム例と基本的な構造は同一であるが、細部において相違点を有している。相違点の1つは、メモリ用テストモジュール135とアルゴリズミックパターン発生(ALPG)モジュール137間がデータキャッシュパイプライン138による転送手段により接続されている。パイプラインやパラレリング等の先行制御技術によるデータ転送の高速化は、この技術分野では周知である。データキャッシュパイプライン138の段数(レジスタ数)を適切に設定することにより、ALPGモジュール137からテストモジュール135に転送するデータレートは、テストモジュール135から被試験デバイスに与えるパターンのレートよりも低くできる。このためALPGモジュール137を低成本で構成できる。

【0079】また他の相違点として、ALPGモジュール137は、フィールド・プログラマブル・ゲートアレイ(FPGA)をサブユニットとして用い、あるいはこれと置き換えてよい。FPGAサブユニット139にロードされるデータは、使用されるFPGAのフォーマットに対応したデータ構造に変換された後に、FPGAサブユニット139に書き込まれる。

【0080】この構成において、FPGAサブユニット139により被試験メモリの種類等に特化した専用のアルゴリズミックパターンを低成本で発生できる。FPGAサブユニット139のデータは例えばHDL(ハードウェア記述言語)により記述される。またこの図では、ALPGモジュール137やFPGAサブユニット139により発生させるアルゴリズミックパターン用のイベントデータを、RTL(レジスタトランスマニア言語)モデルのファイルを用いて作成する場合を示している。このようなRTLモデル141のファイルは、被試験デバイスの設計段階において、設計者がテストベンチ142において作成するものであり、そのデータは一般

にHDLにより書かれている。

【0081】このようにして、全てのアルゴリズミックパターンを発生できるようなALPGを備えるのではなく、被試験デバイスのメモリに固有のアルゴリズミックパターンのみを発生するようにして、簡易で低成本のメモリテストシステムを構成できる。また上述したように、被試験デバイスのメモリ部がリペア機能を有する場合には、リペアモジュール132を搭載したテスト・フィックスチャ127を用いることにより、被試験デバイスの試験とそのメモリ部の修復をこのテストシステムにより実行することができる。

【0082】第10図に本発明による半導体テストシステムの外観図例を示す。第10図において、テストコントローラ(メイン・システム・コンピュータ)41は、例えばグラフィック・ユーザ・インターフェース(GUI)を有するワークステーションであり、ユーザインターフェースとして機能するとともに、試験システム全体の動作制御を行う。テストコントローラ41と試験システム内部のハードウェアは、システムバス64(第4図および第5図)により接続される。

【0083】本発明によるイベントテストは、従来のサイクルベースで構成された半導体試験システムと異なり、パターン発生器やタイミング発生器等に相当するハードウェアを要しない。したがって、モジュール化したイベントテストを全てテストヘッド(システム本体)124内に収容する構成として、全体の物理的サイズを大幅に縮小できる。

【0084】以上のように本発明の半導体メモリテストシステムにおいては、被試験メモリデバイスの種類や試験目的に応じて必要なアルゴリズミックパターンのみを発生できるように構成したALPG発生モジュールを被試験メモリに応じてテストシステムに組み込むように構成されている。これによりテストモジュールとALPGモジュールの各種の組み合わせが可能となり、被試験メモリデバイスに固有の試験システムを低成本で構成できる。

【0085】さらに本発明の半導体メモリテストシステムにおいては、テストモジュールと被試験デバイス間の電気的接続を行うためのテスト・フィックスチャ内に各種の機能モジュールを用途別に設け、試験対象に応じてテスト・フィックスチャを交換する。テストモジュールは複数のイベントテストボードからなり、それぞれそのイベントテストボードは、ホストコンピュータからの指令に基づき各ボードから対応する被試験デバイスにテストパターンを与えその被試験デバイスからの出力信号の検証を行う。

【0086】

【発明の効果】本発明のイベント型メモリテストシステムでは、特定用途に用いる機能モジュールをテスト・フィックスチャ(ピン・フィックスチャ)に搭載することによ

り、被試験メモリに固有であつてその試験に付随する機能、例えばそのメモリの不良箇所の修理（リペア）等を実行することができる。このため、特定用途に専用として用意されたテスト・フィックスチャを被試験対象に応じて取り替えることにより、簡易で低コストな半導体メモリテストシステムを実現できる。

【0087】本発明の半導体テストシステムは、テストピン間で相互に独立した動作が可能であり、所定テストピンのグループと他のグループ間で異なる被試験デバイスや被試験ブロックを同時に担当することができる。したがって、システム I C のような複数の異なる機能ブロック（コア）、例えばロジックコアとメモリコアを有する場合であつても、これらの機能コアの試験を同時に平行して実施できる。

【0088】本発明の半導体テストシステムでは、完全なモジュール化が達成できるので、被試験デバイスの種類や試験目的等に応じた柔軟な構成とすることができる。また必要とするハードウェア量を大幅に減少でき、かつ各モジュールを制御するためのソフトウェアを大幅に単純化できる。このために、全体としての物理的装置を小型化でき、したがってコストの低下や設置フロアスペースの減少、それに伴う各種費用の減少が実現できる。

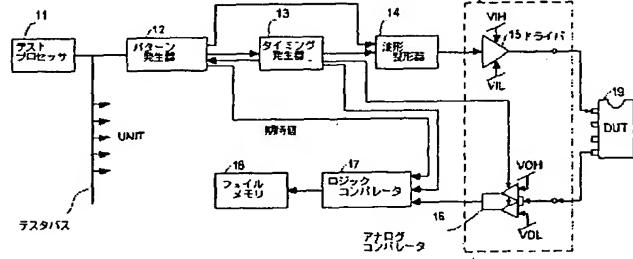
#### 【図面の簡単な説明】

【図1】従来技術における半導体テストシステム（LS I テスタ）の基本的構成例を示すブロック図である。

【図2】従来技術における半導体テストシステムの一般的な外観を示す概念図である。

【図3】従来の半導体テストシステムにおいて、サイクルベースによりテストパターンを形成するためのデータ記述例と、それと同一のテストパターンをイベントベースでテストパターンを形成するためのデータ記述例を比較するための図である。

図1



【図1】

【図4】本発明による特有用途用のイベント型メモリテストシステムによりメモリデバイスを試験する場合の、テストシステムの構成例を示すブロック図である。

【図5】本発明によるイベントベースで形成され、テストモジュールに組み込まれるイベントテストボード内に構成される各イベントテストの回路構成例を示すブロック図である。

【図6】本発明によるテストモジュールをテストヘッドに組み込むことにより、異なる性能にグループ分けされたテストピンを有する半導体テストシステムを構成するための概念図である。

【図7】本発明により、メモリを有する被試験デバイスの試験用に構成した半導体テストシステムの構成例を示すブロック図である。

【図8】本発明により、メモリを有する被試験デバイスの試験用に構成した半導体テストシステムの他の構成例を示すブロック図である。

【図9】ALPGモジュールからアルゴリズミックパターンを発生するためのイベントデータをテストモジュールに供給する構成を示したブロック図である。

【図10】本発明におけるモジュール形式半導体テストシステムの外観例を示す概念図である。

#### 【符号の説明】

1 9 被試験デバイス (D U T)

1 2 4 テストヘッド

1 2 5 テストモジュール

1 2 7 テスト・フィックスチャ

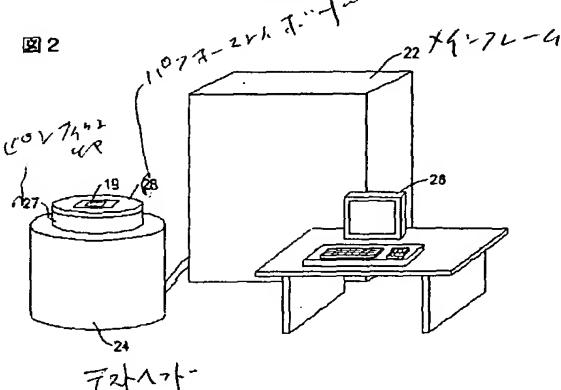
1 2 8 パフォーマンスボード

1 3 2 リペアモジュール

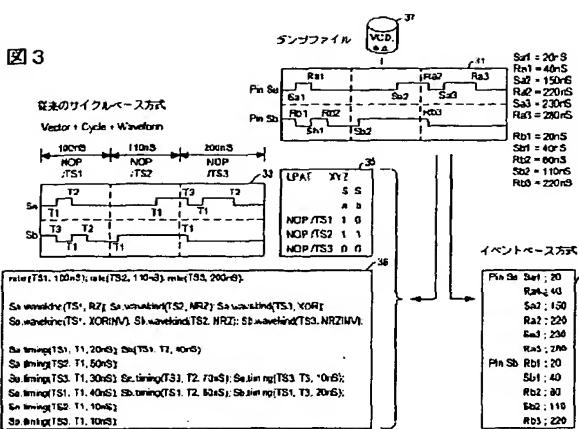
1 3 5 テストモジュール

1 3 7 アルゴリズミックパターン発生 (ALPG) モジュール

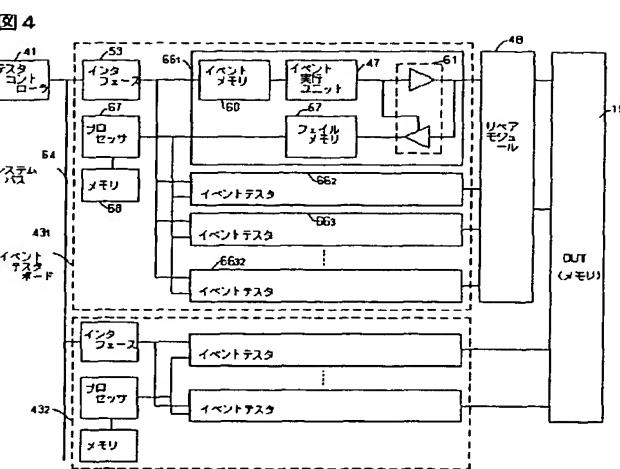
【図2】



〔圖3〕

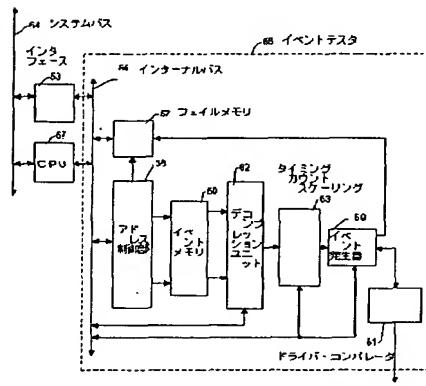


[ 4 ]

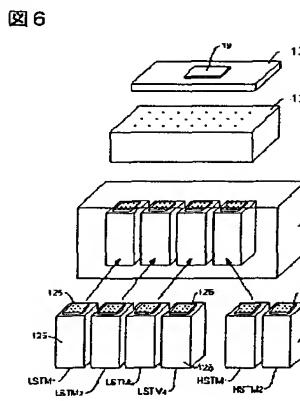


〔 5 〕

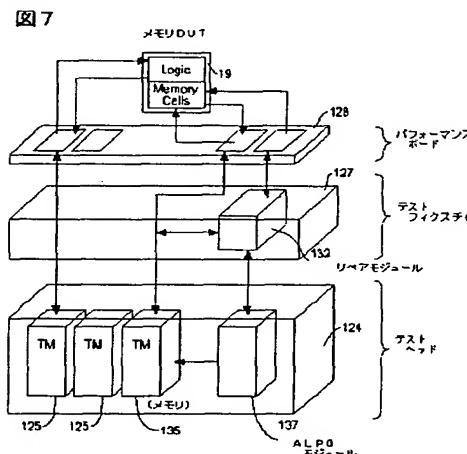
5



【 6】

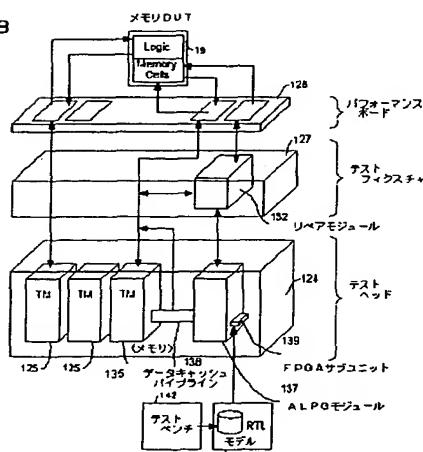


〔図7〕

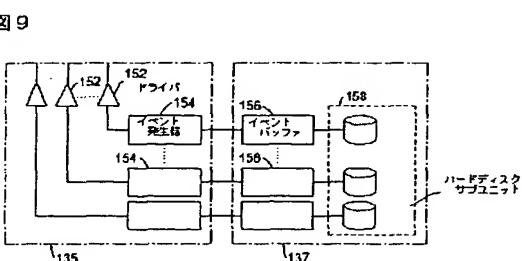


〔四八〕

10



(图9)



【図10】  
図10 本発明

